

DOI: <https://doi.org/10.32836/2521-6643-2019-2-58-7>
УДК 004.315

О. В. Дрозд, доктор технічних наук,
професор кафедри комп'ютерних
інтелектуальних систем та мереж
Одеського національного політехнічного
університету
П. В. Височина, магістрант Одеського
національного політехнічного університету
В. Є. Домбровський, магістрант
Одеського національного політехнічного
університету
К. В. Сміщук, магістрант Одеського
національного політехнічного університету
О. О. Шалак, магістрант Одеського
національного політехнічного університету

МОДЕЛЮВАННЯ РОБОТИ ПОМНОЖУВАЧА В КРИТИЧНИХ ЗАСТОСУВАННЯХ

Досліджено критичні застосування помножувача мантис, що виконує ключову операцію в обробці наближених даних. Розроблено програмні моделі та виконано моделювання помножувача мантис і його систем контролю у випадках кратних несправностей, які можуть виникати в аварійному режимі в умовах накопичення несправностей у нормальному режимі систем критичного застосування. Одержано результати моделювання для мажоритарної структури та її окремих каналів множення, а також матричного помножувача мантис із повним та скороченим виконанням операцій і системами контролю за модулем, нерівностями та власними забороненими значеннями добутку. Оцінено достовірність результатів мажоритарної системи й достовірність задіяних методів контролю.

Ключові слова: система критичного застосування; мажоритарна система; матричний помножувач мантис; контроль за модулем; нерівності; заборонені значення добутку; достовірність.

Исследовано критическое применение умножителя мантис, выполняющего ключевую операцию в обработке приближенных данных. Разработаны программные модели и выполнено моделирование умножителя мантис,

© **О. В. Дрозд, П. В. Височина, В. Є. Домбровський, К. В. Сміщук, О. О. Шалак, 2019**

а также его систем контроля при кратных неисправностях, которые могут возникать в аварийном режиме в условиях накопления неисправностей в нормальном режиме систем критического применения. Получены результаты моделирования для мажоритарной структуры и ее отдельных каналов умножения, а также матричного умножителя мантисс с полным и сокращенным выполнением операций и системами контроля по модулю, неравенствам и собственным запрещенным значениям произведения. Оценена достоверность результатов мажоритарной системы и достоверность задействованных методов контроля.

Ключевые слова: система критического применения; мажоритарная система; матричный умножитель мантисс; контроль по модулю; неравенства; запрещенные значения произведения; достоверность.

The paper is devoted to the study of the mantissas iterative array multiplier functioning as part of the safety-related system in case of multiple faults. Processing of mantissas is considered because safety-related systems typically receive initial data from sensors, i.e. measurement results. These data are represented and processed in floating-point formats that define multiplication like the key operation because they use it in the number record itself. Program models of majority multiplication system and iterative array multiplier have been developed with checking systems built using various methods of on-line testing: checking, checking by inequalities and forbidden values of the product, i.e. using natural information redundancy of the product code. This redundancy is inherited by all mantissa processing results due to the key nature of the multiplication operation. The majority system and iterative array multiplier with its checking systems in case of multiple faults were simulated. They can occur in the most responsible emergency mode of the safety-related system under conditions of fault accumulation during prolonged normal mode. Faults are accumulated due to the lack of input data showing them. These data are typical only for the emergency mode of operation of the safety-related systems. As a fault, a short circuit between two points of the operation element circuit in the multiplier array is considered. The simulation was conducted on a sequence of random input data with the injection of a fault between randomly selected points and the operational element. Results of simulation for majority system and its separate channels of multiplication, as well as iterative array multiplier of mantissas with complete and truncated execution of operation and residue checking system by modulo three, systems by inequality and own forbidden values of product are obtained. The trustworthiness of the results calculated by the majority system under the action of multiple faults and the trustworthiness of the on-line testing methods implemented in the considered checking systems were evaluated.

Key words: safety-related system; majority system; iterative array multiplier; mantissa; residue checking; inequality; forbidden product value; trustworthiness.

Постановка проблеми. Системи критичного застосування спрямовані на забезпечення функціональної безпеки: власної та об'єктів підвищеного ризику, для запобігання аваріям та зменшення їхніх наслідків. До таких об'єктів належать енергоблоки електростанцій, енергомережі, швидкісний транспорт тощо [1; 2]. Цифрові компоненти систем будуються з використанням матричних вузлів. Вони одержують результати вимірювань від датчиків, тобто мають наближені дані, які обробляються у форматах з плаваючою точкою, де множення є ключовою операцією над мантисами, оскільки наявне в самому представленні чисел [3; 4].

Системи проєктуються для роботи у двох режимах: нормальному та аварійному. В нормальному режимі цифрові компоненти працюють на обмеженій множині вхідних даних, що сприяє накопиченню прихованих несправностей, які в аварійному режимі можуть виявитися одночасно, показуючи кратний характер [5; 6].

Існує багато систем проєктування, що моделюють роботу цифрових пристроїв, однак не за умов кратних несправностей. Тому в статті представлено результати програмного моделювання, в якому досліджено функціонування матричних помножувачів мантис та методів і засобів їх робочого діагностування у випадку кратних несправностей, що важливо для критичних застосувань.

Аналіз останніх досліджень і публікацій. Функціональна безпека ґрунтується на використанні відмовостійких рішень, із яких найпоширеніші мажоритарні системи, що використовують декілька каналів для багаторазового розв'язку однієї і тієї ж задачі, а також мажоритарний орган, що обирає з одержаних результатів найбільш достовірний за більшістю збігів.

Економічне рішення містить три канали, що вже дає змогу виконувати функцію голосування. Технологічність у розробці мажоритарної системи полягає в можливості “штампувати” канали, що з боку ресурсного підходу зараховує таке рішення до найнижчого рівня у розвитку ресурсів – моделей, методів та засобів – до реплікації. Ресурсний підхід аналізує процес інтеграції комп'ютерного світу, що створюється людиною, до природного шляхом структурування під особливості цього природного світу, серед яких найбільшими виявилися мають дві: паралелізм та наближеність [7; 8].

Еволюція комп'ютерних систем та імplementованих у них інформаційних технологій – це історія підвищення рівня паралелізму й наближеності використовуваних рішень. Досить звернути увагу на розвиток персональних комп'ютерів, які спочатку мали апаратну підтримку наближених обчислень тільки в співпроцесорах, а далі вже одержали прискорену конвеєрну обробку в сімействі Pentium та довели кількість конвеєрів, що працюють одночасно, до тисяч у графічному процесорі [9; 10]. Тому розглядається обробка наближених даних у розпаралелених структурах.

У природному світі реплікація забезпечує інтеграцію живих істот під слоганом “більше народити, ніж помре”. Реплікація завжди обирається під час відкриття ресурсних ніш: екологічних, технологічних, ринкових тощо.

Під час критичних застосувань ресурсні ніші здебільшого закриваються. Клони виживають, виявляючи особливості, тобто стаючи особинами, а наштамповані елементи – версіями. Слід зазначити, що в природному світі нічого не штампується однаково, і мажоритарна система є відмовостійкою лише завдяки версійній надлишковості наштампованих каналів [11; 12]. Для апаратних реалізацій каналів різними командами розробників цієї надлишковості досить для обчислення достовірних результатів у випадку відмови одного з каналів. Однак залишається питання щодо роботи мажоритарних систем у разі кратних несправностей.

За одну з версій каналу можна розглядати його систему контролю, яка може за методами робочого діагностування [13; 14] визначити достовірний результат із двох, що обчислюються двома каналами. Основний метод робочого діагностування арифметичних пристроїв – контроль за модулем [15]. Отже, доцільно дослідити роботу системи контролю за модулем у разі кратних несправностей. Серед альтернативних методів заслуговує на увагу контроль за нерівностями, який за операндами визначає верхню й нижню межі результату, в межах чого він приймається достовірним [16]. Достовірність методу робочого діагностування визначається за виявленням суттєвих помилок і пропуском несуттєвих [7]. Оскільки порівняння результату з його межами безпосередньо не пов’язано із суттєвістю помилок, то оцінка контролю за нерівностями потребує його моделювання.

Слід зазначити, що з ключового характеру операції множення впливає наслідування наблизеним результатам властивостей добутку, одна з яких полягає у наявності природної інформаційної надмірності у формі заборонених значень. Контроль добутку за власними забороненими значеннями дозволяє відмовитись від ресурсів для створення інформаційної надмірності, як це відбувається за традиційними методами робочого діагностування [17], та будувати найпростіші контрольні версії каналів.

Заборонені значення добутку можуть визначатися за допомогою простих чисел [18]. Одна із формул простого числа була запропонована видатним математиком П’єром Ферма (1601–1665) у такому вигляді: $C = 2^n + 1$, де $n = 2^x$, x – натуральне число.

Формула Ферма підходить не для всіх значень x , однак вона підтверджується для $\lambda = 3$ та $\lambda = 4$, тобто для $n = 8$ та $n = 16$, що як розрядність операндів широке застосовуються для задач, які не потребують високої точності. Такі задачі поширені в механіці, гідравліці та інших сферах техніки. Заборонені значення добутку можуть утворюватись за простими числами,

виходячи з того, що просте число C має $n + 1$ розряд і не може бути добутком двох n -розрядних двійкових співмножників. До заборонених значень добутку належать також числа, що є кратними C , тобто $U = C \cdot K$, де для мантис $K = 2^{n-1}, \dots, 2^n - 1$ вони утворюють код із повторенням, що дозволяє їх ідентифікувати порівнянням старшої та молодшої частин добутку.

Мета статті – дослідження достовірності мажоритарної системи множення мантис за повною та скороченою операцією у разі кратних несправностей, що можуть виникати в критичних застосуваннях, а також достовірності методів контролю, за якими доцільно створювати контрольні версії каналів.

Виклад основного матеріалу. Для моделювання зазначеної мажоритарної системи множення з матричною реалізацією каналів і використанням методів контролю були прийняті такі положення та обмеження. Множення мантис розглядається у двох варіантах: з виконанням повної та скороченої операції. Виконання повної операції традиційно нав'язується бібліотеками готових рішень, наприклад такими, що сучасними САПР імплементуються в FPGA (Field Programmable Gate Array) та підтримуються їхніми бібліотеками [19; 20]. Скорочена операція є найбільш ефективною формою обробки мантис [21; 22].

Матричний помножувач будується за схемою Брауна, що являє собою регулярну матрицю операційних елементів [23]. Несправність, введена в матричний помножувач, відтворює замикання двох точок у межах одного операційного елемента, який є типовим для інтегральних схем [24].

Мажоритарна система складається з трьох каналів, якими є матричні помножувачі мантис. Обчислювані ними результати обираються голосуванням за кожним розрядом, який набуває значення за більшістю однакових значень.

Контроль за модулем 3 порівнює контрольні коди результату, одержані за самим результатом і за контрольними розрядами операндів. Для скороченої операції контрольний код зсиченого результату обчислюється за контрольними кодами фрагментів, на які розбивається обчислювана частина матриці кон'юнкцій добутку [25].

Контроль за нерівностями перевіряє добуток $P = A \cdot B$, $0,5 \leq A, B < 1$ за формулою $P_L < P < P_H$, де $P_L = P^*$ при $A, B \leq 3/4$ або $A, B \geq 3/4$, $P_H = P^*$ при $A \leq 3/4$ і $B \geq 3/4$ або $A \geq 3/4$ і $B \leq 3/4$, $P^* = 3(A + B) / 4 - 9 / 16$, $3/4$.

Контроль за природною надмірністю результатів використовує заборонені значення коду добутку, що розглянуто для розрядності мантис 8 та 16.

Програмні моделі, розроблені на демоверсії Delphi 10 Seattle [26], відтворюють функціонування матричного помножувача з виконанням повної та скороченої операції на довільній вхідній послідовності даних під час введення несправностей замикання випадково обраних точок довільного опе-

раційного елемента. Крім того, задається розрядність помножувача в межах 8–15 та кількість правильних розрядів результату. В мажоритарній системі довільно розподіляється від однієї до шести несправностей.

Висновки з даного дослідження і перспективи подальших розвідок у даному напрямі. Достовірність результатів на виходах каналів і всієї мажоритарної системи становить 90,2 % та 98,8 % і 81,5 % та 95,1 % за трьох і шести несправностей у випадку 8-розрядних помножувачів. Для розрядності 15 достовірність підвищилася відповідно до значень 90,3 % та 99,4 % і 81,7 % та 97,2 %. Скорочення операції множення не вплинуло на достовірність результатів.

Контроль за модулем 3 показав достовірність 53,8 % і 55,1 % для двох і трьох несправностей під час повної операції та 65,6 % і 64,7 % у разі скорочення обчислень у 8-розрядних помножувачах. Для розрядності 15 достовірність контролю результатів змінилася відповідно до значень 51,3 % і 52,2 % (зменшилася) та 69,3 % і 68,3 % (збільшилася).

Під час виконання повної і скороченої операції контроль за нерівностями показав достовірність 63,8 % і 57,3 % у 8-розрядних помножувачах та 52,9 % і 38,4 % для розрядності 15.

Контроль за природною надмірністю результатів розглядався у випадках однієї несправності й показав достовірність 52,7 % та 52,3 % для помножувачів із розрядністю 8 та 16 відповідно.

Проведене моделювання дозволило вперше оцінити достовірність результатів, обчислюваних у мажоритарній системі під дією кратних несправностей, та дослідити вплив кратних несправностей на достовірність контролю результатів обробки мантис за повною та скороченою операціями.

Подальші дослідження доцільно спрямувати на розвиток методів контролю множення та вивчення їх достовірності й інших характеристик виконаних за ними контрольних версій каналів мажоритарної системи для обробки наближених даних за повними та скороченими обчисленнями з розглядом кратних несправностей і поширенням на інші арифметичні операції.

Список використаних джерел:

1. *Kharchenko V., Gorbenko A., Sklyar V., Phillips C.* Green Computing and Communications in Critical Application Domains: Challenges and Solutions // Digital Technologies: Proceedings of the 9th International Conference, Zhilina, Slovak Republic, 2013. P. 191–197.
2. IEC 61508-1:2010. Functional safety of electrical / electronic / programmable electronic safety related systems. Part 1: General requirements. – Geneva: International Electrotechnical Commission, 2010.

-
3. ANSI/IEEE Std 754-1985. IEEE Standard for Binary Floating-Point Arithmetic, 1985.
 4. IEEE Std 754™-2008 (Revision of IEEE Std 754-1985) IEEE Standard for Floating-Point Arithmetic. IEEE 3 Park Avenue New York, NY 10016–5997, USA, 2008.
 5. *Kharchenko V. S., Sklyar V. V. (edits) et al.* FPGA-based NPP I&C Systems: Development and Safety Assessment. Kharkiv. RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008. 188 p.
 6. *Drozdz M., Drozdz A.* Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults // *Digital Technologies : Proceedings of the 10th International Conference, Zhilina, Slovak Republic, 2014.* P. 137–140.
 7. *Drozdz J., Drozdz A., Antoshchuk S.* Green IT engineering in the view of resource-based approach // In book: *Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control, V. Kharchenko, Y. Kondratenko, J. Kacprzyk, Eds., Vol. 74.* Berlin, Heidelberg: Springer International Publishing, 2017. P. 43–65. DOI: 10.1007/978-3-319-44162-7_3.
 8. *Hiromoto R.* Parallelism and complexity of a small-world network model // *International Journal of Computing.* 2016. Vol. 15. Issue 2. P. 72–83.
 9. NVIDIA CUDA Compute Unified Device Architecture. Programming Guide / Version 1.0, NVIDIA Corporation, 2007.
 10. *Andrecut M.* Parallel GPU implementation of iterative PCA algorithms // *Journal of Computational Biology.* 2009. Vol. 16. No 11. P. 1593–1599. URL: <http://dx.doi.org/10.1089/cmb.2008.0221>
 11. *Kharchenko V. S., Siora A. A., Bakhmach E. S.* Diversity-Scalable Decisions for FPGA-based Safety-Critical I&Cs: from Theory to Implementation // *Sixth ANS International Topical Meeting on Nuclear Plant Instrumentation, Control, and Human-Machine Interface Technologies (NPI–HMIT 2009).* Knoxville, Tennessee, USA, 2009. April 5–9.
 12. *Asad H., Gashi I.* Diversity in Open Source Intrusion Detection Systems // *Computer Safety, Reliability, and Security: Lecture Notes in Computer Science, 8666,* Springer, 2014. P. 267–281.
 13. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI / *A Compendium of Approaches.* Electronic Testing: Theory and Application. JETTA, 1998. Vol. 12. P. 7–20.
 14. *Metra C., Schiano L., Favalli M., Ricco B.* Self-checking scheme for the on-line testing of power supply noise // *Design, Automation and Test in Europe Conference.* Paris, France, 2002. P. 832–836.
 15. *Omondi A., Premkumar B.* Residue Number Systems: Theory and Implementation. Imperial College Press, London, UK, 2007. 296 p.

-
16. Models and Methods Checking Mantissas by Inequalities for On-Line Testing of Digital Circuits in Critical Applications / O. Drozd, M. Al-dhabi, S. Antoshchuk and oth. // IEEE East-West Design & Test Symposium, Novi Sad, Serbia, 2017. P. 440–444, DOI: 10.1109/EWDTS.2017.8110068.
 17. Saposhnikov V., Dmitriev M., Goessel M. Self-dual parity checking – a new method for on-line testing // Proc. IEEE VLSI Test Symposium, 1996. P. 162–168.
 18. Drozd A. V. Efficient Method of Failure Detection in Iterative Array Multiplier // Design, Automation and Test in Europe. Conference and Exhibition 2000 (DATE 2000). Paris, France, 2000. 764 p.
 19. Intel Quartus Prime Standard Edition User Guide: Getting Started. URL: <https://www.intel.com/content/www/us/en/programmable/documentation/yoq1529444104707.html>
 20. MAX 10 FPGA Device Architecture. URL: <https://www.intel.com/content/www/us/en/programmable/documentation/sss1397439908414.html>
 21. Park H. Truncated Multiplications and Divisions for the Negative Two's Complement Number System. Ph.D. Dissertation. The University of Texas at Austin, Austin, USA, 2007.
 22. Garofalo V. Truncated Binary Multipliers with Minimum Mean Square Error: Analytical Characterization, Circuit Implementation and Applications. Ph.D. Dissertation. University of Studies of Naples "Federico II", Naples, Italy, 2008.
 23. Nicolaidis M., Manich S., Figueras, J. Achieving Fault Secureness in Parity Prediction Arithmetic Operators: General Conditions and Implementations // European Design and Test Conference, Paris, France, 1996. P. 186–193.
 24. Hierarchical Analysis of Short Defects between Metal Lines in CMOS IC / W. Pleskacz, M. Jenihhin, J. Raik and oth. // 11th Euromicro Conference on Digital System Design Architectures, Methods and Tools, Parma, Italy, 2008. P. 729–734.
 25. Drozd A., Lobachev M., Hassonah W. Hardware Check of Arithmetic Devices with Abridged Execution of Operations // European Design and Test Conference, Paris, France, 1996. 611 p. DOI: 10.1109/EDTC.1996.494375.
 26. Delphi 10 Seattle: Embarcadero, 2015/ URL: <https://www.embarcadero.com/ru/products/delphi>

References:

1. Kharchenko V., Gorbenko A., Sklyar V. and Phillips C. (2013), "Green Computing and Communications in Critical Application Domains: Challenges and Solutions", 9th International Conference on Digital Technologies (DT'2013), Zhilina, p. 191–197 [Slovakia].

-
2. IEC 61508-1:2010 (2010), Functional safety of electrical / electronic / programmable electronic safety related systems. Part 1: General requirements. International Electrotechnical Commission, Geneva [Switzerland].
 3. ANSI/IEEE Std 754-1985 (1985), IEEE Standard for Binary Floating-Point Arithmetic.
 4. IEEE Std 754™-2008 (2008), (Revision of IEEE Std 754-1985) IEEE Standard for Floating-Point Arithmetic. IEEE 3 Park Avenue New York, NY 10016-5997 [USA].
 5. Kharchenko V. S. and other, Sklyar V. V. (edits) (2008), FPGA-based NPP I&C Systems: Development and Safety Assessment, RPC Radiy, Press National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 188 p. [Ukraine].
 6. Drozd M. and Drozd A. (2014), “Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults”, The 10th International Conference on Digital Technologies, Zhilina, p. 137–140 [Slovak Republic].
 7. Drozd J., Drozd A. and Antoshchuk S. (2017), “Green IT engineering in the view of resource-based approach”, In: Kharchenko, V., Kondratenko, Y., Kacprzyk, J. (eds.) Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control, vol. 74, p. 43–65. Springer International Publishing, Heidelberg [Germany].
 8. Hiromoto R. (2016), “Parallelism and complexity of a small-world network model”, International Journal of Computing, vol. 15, issue 2, p. 72–83.
 9. NVIDIA Corporation (2007), NVIDIA CUDA Compute Unified Device Architecture, Programming Guide, Version 1.0.
 10. Andrecut M. (2009), “Parallel GPU implementation of iterative PCA algorithms”, Journal of Computational Biology, vol. 16, no. 11, p. 1593–1599, available at: <http://dx.doi.org/10.1089/cmb.2008.0221>
 11. Kharchenko V. S., Siora A. A. and Bakhmach E. S. (2009), “Diversity-Scalable Decisions for FPGA-based Safety-Critical I&Cs: from Theory to Implementation”, Sixth ANS International Topical Meeting on Nuclear Plant Instrumentation, Control, and Human-Machine Interface Technologies (NPI-HMIT 2009) April 5–9, Knoxville, Tennessee [USA].
 12. Asad H. and Gashi I. (2014), Diversity in Open Source Intrusion Detection Systems. Computer Safety, Reliability, and Security, Lecture Notes in Computer Science, 8666, Springer, p. 267–281.
 13. Nicolaidis M. and Zorian Y. (1998), “On-Line Testing for VLSI”, a Compendium of Approaches. Electronic Testing: Theory and Application. JETTA, vol. 12, p. 7–20.

-
14. Metra C., Schiano L., Favalli M. and Ricco B. (2002), “SelfChecking scheme for the on-line testing of power supply noise”, Proc. of Design, Automation and Test in Europe Conference, p. 832–836, Paris [France].
 15. Omondi A. and Premkumar B. (2007), Residue Number Systems: Theory and Implementation. Imperial College Press, London, 296 p. [UK].
 16. Drozd O., Al-dhabi M., Antoshchuk S., Martinyuk O. and Drozd M. (2017), “Models and Methods Checking Mantissas by Inequalities for On-Line Testing of Digital Circuits in Critical Applications”, Proc. IEEE East-West Design & Test Symposium, Novi Sad, p. 440–444 [Serbia].
 17. Saposhnikov V., Dmitriev M. and Goessel M. (1996), “Self-dual parity checking – a new method for on-line testing”, Proc. IEEE VLSI Test Symposium, p. 162–168.
 18. Drozd A. V. (2000), “Efficient Method of Failure Detection in Iterative Array Multiplier”, Design, Automation and Test in Europe. Conference and Exhibition 2000, Paris, p. 764 [France].
 19. Intel Quartus Prime Standard Edition User Guide: Getting Started, available at: <https://www.intel.com/content/www/us/en/programmable/documentation/yoq1529444104707.html>
 20. MAX 10 FPGA Device Architecture, available at: <https://www.intel.com/content/www/us/en/programmable/documentation/sss1397439908414.html>
 21. Park H. (2007), Truncated Multiplications and Divisions for the Negative Two’s Complement Number System, Ph.D. Dissertation. The University of Texas at Austin, Austin [USA].
 22. Garofalo V. (2008), Truncated Binary Multipliers with Minimum Mean Square Error: Analytical Characterization, Circuit Implementation and Applications, Ph.D. Dissertation, University of Studies of Naples “Federico II”, Naples [Italy].
 23. Nicolaidis M., Manich S. and Figueras J. (1996), “Achieving Fault Securess in Parity Prediction Arithmetic Operators: General Conditions and Implementations”, Proc. European Design and Test Conference, p. 186–193, Paris [France].
 24. Pleskacz W., Jenihhin M., Raik J., Rakowski M., Ubar R. and Kuzmicz W. (2008), “Hierarchical Analysis of Short Defects between Metal Lines in CMOS IC”, 11th Euromicro Conference on Digital System Design Architectures, Methods and Tools, p. 729–734, Parma [Italy].
 25. Drozd A. V., Lobachev M. V. and Hassonah W. (1996), “Hardware check of Arithmetic Devices with Abridged Execution of Operations”, the European Design & Test Conference (ED & TC 96), p. 611, Paris [France].
 26. Delphi 10 Seattle: Embarcadero (2015), available at: <https://www.embarcadero.com/ru/products/delphi>